

**COMPOUND SEMICONDUCTOR DEVICE**

Patent Number: JP6244218  
Publication date: 1994-09-02  
Inventor(s): KAMIYAMA HIROYUKI; others: 01  
Applicant(s): SUMITOMO ELECTRIC IND LTD  
Requested Patent: ☐ JP6244218  
Application Number: JP19930031626 19930222  
Priority Number(s):  
IPC Classification: H01L21/338; H01L29/812  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PURPOSE:**To decrease a leak current by a method wherein an energy feeding layer, consisting of a compound semiconductor layer having a band gap larger than a carrier feeding layer, is inserted in a field effect type transistor of a modulation doped structure.

**CONSTITUTION:**The title compound semiconductor device is the device in which an AIAs energy barrier layer is inserted between carrier feeding layers 151 and 152 in a field-effect transistor of modulation doped structure using InAIAs layers 151 and 152 as a carrier layer.

---

Data supplied from the esp@cenet database - I2



(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平6-244218

(43)公開日 平成6年(1994)9月2日

(51)Int.Cl.<sup>6</sup>

H01L 21/338

29/812

識別記号

7376-4M

F I

H01L 29/80

H

審査請求 未請求 請求項の数 6 O L (全5頁)

(21)出願番号

特願平5-31626

(22)出願日

平成5年(1993)2月22日

(71)出願人 000002130

住友電気工業株式会社

大阪府大阪市中央区北浜四丁目5番33号

(72)発明者 神山 博幸

神奈川県横浜市栄区田谷町1番地 住友電気工業株式会社横浜製作所内

(72)発明者 村田 道夫

神奈川県横浜市栄区田谷町1番地 住友電気工業株式会社横浜製作所内

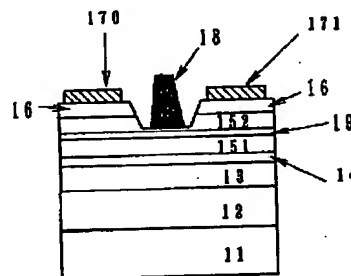
(74)代理人 弁理士 上代 哲司 (外2名)

(54)【発明の名称】化合物半導体装置

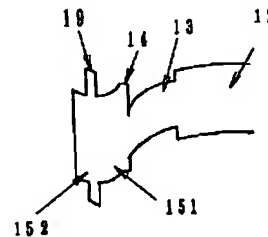
(57)【要約】

【目的】 変調ドープ構造の電界効果型トランジスタにおいて、キャリア供給層よりもバンドギャップが大きい化合物半導体層よりなるエネルギー供給層を挿入して、リーク電流を減少させる。

【構成】 キャリア供給層としてInAlAs層151、152を用いた変調ドープ構造の電界効果型トランジスタにおいて、キャリア供給層151、152の間にAlAsエネルギー障壁層を挿入した化合物半導体装置。



(a)



(b)

## 【特許請求の範囲】

【請求項1】 変調ドープ構造の電界効果型トランジスタにおいて、キャリア供給層又はバッファ層の中もしくはこれらの層に隣接して、キャリア供給層又はバッファ層よりもバンドギャップが大きい化合物半導体層を挿入したことを特徴とする化合物半導体装置。

【請求項2】 キャリア供給層又はバッファ層としてInAlAsあるいはAlGaInAsあるいはInPを用いた変調ドープ構造の電界効果型トランジスタにおいて、キャリア供給層又はバッファ層の中もしくはこれらの層に隣接して、 $Al_xGa_{1-x}As_yP_{1-y}$ 層 ( $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ ) あるいは $Al_xIn_{1-x}As_yP_{1-y}$ 層 ( $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ ) を挿入したことを特徴とする請求項1に記載の化合物半導体装置。

【請求項3】 キャリア供給層又はバッファ層としてAlGaAsあるいはGaAsを用いた変調ドープ構造の電界効果型トランジスタにおいて、キャリア供給層又はバッファ層の中もしくはこれらの層に隣接して、 $Al_xGa_{1-x}In_{1-x-y}As_yP_{1-y}$ 層 ( $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq x+y \leq 1$ 、 $0 \leq z \leq 1$ ) を挿入したことを特徴とする請求項1に記載の化合物半導体装置。

【請求項4】 キャリア供給層又はバッファ層としてGaInPあるいはAlGaInPあるいはGaPを用いた変調ドープ構造の電界効果型トランジスタにおいて、キャリア供給層又はバッファ層の中もしくはこれらの層に隣接して、 $Al_xGa_{1-x}As_yP_{1-y}$ 層 ( $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ ) を挿入したことを特徴とする請求項1に記載の化合物半導体装置。

【請求項5】 キャリア供給層又はバッファ層としてInAlSbあるいはAlGaInSbを用いた変調ドープ構造の電界効果型トランジスタにおいて、キャリア供給層又はバッファ層の中もしくはこれらの層に隣接して、 $Al_xGa_{1-x}As_yP_{1-y}$ 層 ( $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ ) あるいは $Al_xGa_{1-x}Sb_zP_{1-x-y-z}$ 層 ( $0 \leq x \leq 1$ 、 $0 \leq z \leq 1$ ) あるいは $Al_xIn_{1-x}Sb_zAs_yP_{1-x-y-z}$ 層 ( $0 \leq w \leq 1$ 、 $0 \leq z \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z+y \leq 1$ ) を挿入したことを特徴とする請求項1に記載の化合物半導体装置。

【請求項6】 キャリア供給層又はバッファ層としてAlGaSbあるいはGaSbあるいはInPを用いた変調ドープ構造の電界効果型トランジスタにおいて、キャリア供給層又はバッファ層の中もしくはこれらの層に隣接して、 $Al_xGa_{1-x}As_yP_{1-y}Sb_z$ 層 ( $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ 、 $0 \leq y+z \leq 1$ ) を挿入したことを特徴とする請求項1に記載の化合物半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は電界効果型化合物半導体装置に関する。

## 【0002】

【従来の技術】 従来の技術として例えばInAlAsあるいはAlGaAsあるいはInPを主要構成要素とする変調ドープ構造の電界効果型トランジスタ（変調ドープ構造のFET）においては、キャリア供給層としてInAlAs、バッファ層としてInPもしくはInAlAsが用いられてきた。例えば、IEEE Electron Device Letter, vol. 9, pp. 482-484, 1988には、InPを基板としInAlAs層をバッファ層とし、 $n^+AlInAs$ 層を電子供給層とし、ノンドープGaInAs層をチャンネル層とするHEMTが記載されている。

【0003】 かかる変調ドープ構造の半導体装置は、高速性に優れるので光通信システム中の増幅器のデバイスとして用いた場合、大量の情報を処理できるようになる。また衛星通信用のMMICに用いた場合その高速性のゆえにノイズを低減し、小型化、通信情報の大容量化を図ることが出来る。

## 【0004】

【発明が解決しようとする課題】 従来この種の変調ドープ構造のFETは、チャンネル層での衝突電離によって生じた正孔がゲート電極に吸収されて、ゲートリーク電流を増加させたり、また基板とエピタキシャル層との界面もしくは基板もしくはバッファ層中に存在する不純物単位の存在によってリーク電流が生ずるという問題があり、この問題を解決すれば更に、変調ドープ構造のFETのノイズを減らして性能の向上を図ることが可能となる。

## 【0005】

【課題を解決するための手段】 本発明においては、キャリア供給層やバッファ層中にこれらの層よりもバンドギャップが大きい化合物半導体層（エネルギー障壁層）を挿入することによってキャリアに対するエネルギー障壁を形成し、前記リーク電流を減らして、更に低雑音性能の向上を図ることを目的とする。

## 【0006】

【作用】 本発明は、上記エネルギー障壁層を設けることによって、ゲート電極の直下において衝突電離により生じた正孔あるいは電子がキャリアの走行領域外に漏れたすリーク電流を防ぎ、変調ドープ構造のFETの低雑音性能を更に向上するものである。

【0007】 すなわち、図1(a)に示す本発明に係る半導体装置のゲート電極の直下のバンド構造図1(b)に示すように、キャリア供給層151、152の間に挿入したエネルギー障壁層19については、エネルギー障壁層19の上部と下部の障壁によってチャンネル層中で衝突電離によって生じたキャリアがゲート電極に流入するのを防止してゲート電極でのリーク電流を減らすことが出来る。

【0008】 また、バッファ層中に挿入したエネルギー

障壁層19については、図2(a)、(b)に示すように、エネルギー障壁層19の上部と下部の障壁によってチャンネル層中で衝突電離によって生じたキャリアが走行領域外に漏れたすことを阻止してドレイン電極でのリーク電流を減らすことが出来る。これにより、変調ドープ構造のFETのノイズを一層減少することが出来る。

#### 【0009】

【実施例】(実施例1)図1(a)に、本発明についてキャリア供給層中にエネルギー障壁層設けた場合の一実施例である変調ドープ構造のFETの縦断面図を示す。また図1(b)に、図1(a)のゲート電極18の直下におけるエネルギーバンド構造図を示す。

【0010】図1(a)に示すように、本実施例に係る変調ドープ構造のFETは、まず400 $\mu$ mの半絶縁性InP基板11上に、順次通常のエピタキシ手段によりアンドープInPバッファ層12(0.2 $\mu$ m)、アンドープIn<sub>0.99</sub>Ga<sub>0.01</sub>Asチャンネル層13(0.03 $\mu$ m)、アンドープIn<sub>0.99</sub>Al<sub>0.01</sub>Asスペーサ層14(0.005 $\mu$ m)、n<sup>+</sup>In<sub>0.99</sub>Al<sub>0.01</sub>Asキャリア供給層151(0.03 $\mu$ m)、AlAsエネルギー障壁層19(2分子層)、n<sup>+</sup>In<sub>0.99</sub>Al<sub>0.01</sub>Asキャリア供給層152(0.03 $\mu$ m)、n<sup>+</sup>In<sub>0.99</sub>Ga<sub>0.01</sub>Asコンタクト層16(0.01 $\mu$ m)を積層した積層体と、キャリア供給層152に達するリセスと、その底に設けたゲート電極(Ti/Pt/Au)18と、その両側のコンタクト層16上に設けたソース電極(AuGe/Ni)170と、ドレイン電極(AuGe/Ni)171とを有するものである。

【0011】この変調ドープ構造のFETにおいて、特にエネルギー障壁層19は、隣接するキャリア供給層151、152との格子定数の相違に基づく転移の影響が無いようにその厚みを2分子層とし、分子線エピタキシ法(MBE)により積層した。ソース、ドレイン電極(AuGe/Ni)170、171は合金化処理をすることにより、コンタクト層16とオーミック接触をしており、かつGe分子をこれらオーミック電極直下のAlAsエネルギー障壁層19に至まで拡散させることにより、このエネルギー障壁層19の挿入による各電極間の抵抗の増加を回避した。

【0012】本実施例による変調ドープ構造のFETのゲートリーク電流を図4に示す。本図は、ゲートソース間の電圧を0Vとしたときの、ゲートリーク電流を縦軸に、ドレインソース間の電圧を横軸にとって、本実施例に係る変調ドープ構造のFETのゲートリーク電流を、図3の従来構造の変調ドープ構造のFETのそれと対比して示したものである。

【0013】この結果より、例えばドレインソース間電圧が2Vにおいて従来型変調ドープ構造のFETではゲートリーク電流が60nA程度であったが、本実施例の変調ドープ構造のFETにおいては20nAと、

1/3程度までゲートリーク電流を大幅に低減できることがわかる。

【0014】(実施例2)図2(a)に、バッファ層中にエネルギー障壁層を設けた場合の一実施例である変調ドープ構造のFETの縦断面図を示す。また図2(b)に、図2(a)の変調ドープ構造のFETのゲート電極18の直下におけるエネルギーバンド構造図を示す。

【0015】図2(a)に示すように、実施例2に係る変調ドープ構造のFETは、まず400 $\mu$ mの半絶縁性InP基板11上に、順次通常のエピタキシ手段によりアンドープInPバッファ層121(0.1 $\mu$ m)、AlAsエネルギー障壁層19(2分子層)、アンドープIn<sub>0.99</sub>Ga<sub>0.01</sub>Asチャンネル層13(0.03 $\mu$ m)、アンドープIn<sub>0.99</sub>Al<sub>0.01</sub>Asスペーサ層14(0.005 $\mu$ m)、n<sup>+</sup>In<sub>0.99</sub>Al<sub>0.01</sub>Asキャリア供給層15(0.03 $\mu$ m)、n<sup>+</sup>In<sub>0.99</sub>Ga<sub>0.01</sub>Asコンタクト層16(0.01 $\mu$ m)を積層した積層体と、キャリア供給層15に達するリセスと、その底に設けたゲート電極(Ti/Pt/Au)18と、その両側のコンタクト層16上に設けたソース電極(AuGe/Ni)170と、ドレイン電極(AuGe/Ni)171とを有するものである。

【0016】この変調ドープ構造のFETにおいて、特にエネルギー障壁層19は、隣接するバッファ層121、122との格子定数の相違に基づく転移が発生しないようにその厚みを2分子層とし、分子線エピタキシ法(MBE)により積層した。本実施例による変調ドープ構造のFETのドレイン電流のリーク成分を図5に示す。本図は、ゲートソース間の電圧を0Vとした場合において、ドレイン電流を縦軸に、ドレインソース間の電圧を横軸にとって、本実施例に係る変調ドープ構造のFETのドレイン電流と、図3の従来構造の変調ドープ構造のFETのそれとを対比して示したものである。

【0017】この結果より、ドレインソース間電圧が2Vにおいて、従来型変調ドープ構造のFETでは、ドレイン電流が7mA程度であったが、本実施例の変調ドープ構造のFETにおいては6mA程度であり、この差はドレインリーク電流の低減によるもので、大幅なリーク電流の低減ができることがわかる。

【0018】(実施例3)本発明の実施例としては、以上述べた例に限定されるものではなく、実施例1または実施例2において、キャリア供給層とバッファ層の両方にエネルギー障壁層を設けることも可能である。

【0019】(実施例4)実施例1または実施例2において、キャリア供給層151、152、15又はバッファ層12、121、122として、InAlAsあるいはAlGaInAsあるいはInPを用いた変調ドープ構造のFETにおいて、キャリア供給層又はバッファ層の中若しくはこれらの層に隣接して、Al<sub>0.99</sub>Ga<sub>0.01</sub>As

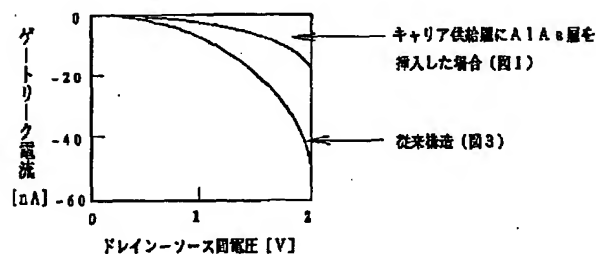
$P_{1-Y}$ 層 ( $0 \leq X \leq 1, 0 \leq Y \leq 1$ ) あるいは  $Al, In, As, P_{1-Y}$ 層 ( $0 \leq Z \leq 1, 0 \leq Y \leq 1$ ) を挿入することによりリーク電流を減少することが出来る。エネルギー障壁層の組成は、キャリア供給層或いはバッファ層に用いている結晶の伝導帯あるいは、価電子帯に対して障壁を持つようにつづけるだけ高くなるように設定する必要がある。また障壁層の厚みは、格子定数の違いにより転移が発生しないように、臨界膜厚以下に設定することが望ましい。

【0020】(実施例5) 実施例1または実施例2において、キャリア供給層151、152、15又はバッファ層12、121、122として、 $AlGaAs$ あるいは $GaAs$ を用いた変調ドープ構造のFETにおいて、キャリア供給層又はバッファ層の中若しくはこれらの層に隣接して、 $Al, Ga, In, As, P_{1-Y}$ 層 ( $0 \leq X \leq 1, 0 \leq Y \leq 1, 0 \leq X+Y \leq 1, 0 \leq Z \leq 1$ ) を挿入してもリーク電流を減少することができる。

【0021】(実施例6) 実施例1または実施例2において、キャリア供給層151、152、15又はバッファ層12、121、122として、 $GaInP$ あるいは $AlGaInP$ あるいは $GaP$ を用いた変調ドープ構造のFETにおいて、キャリア供給層又はバッファ層の中若しくはこれらの層に隣接して、 $Al, Ga, In, As, P_{1-Y}$ 層 ( $0 \leq X \leq 1, 0 \leq Y \leq 1$ ) を挿入することによりリーク電流を減少することが出来る。

【0022】(実施例7) 実施例1または実施例2において、キャリア供給層151、152、15又はバッファ層12、121、122として、 $InAlSb$ あるいは $AlGaInSb$ を用いた変調ドープ構造のFETにおいて、キャリア供給層又はバッファ層の中若しくはこれらの層に隣接して、 $Al, Ga, In, As, P_{1-Y}$ 層 ( $0 \leq X \leq 1, 0 \leq Y \leq 1$ ) あるいは $Al, Ga, In, Sb, P_{1-Z}$ 層 ( $0 \leq X \leq 1, 0 \leq Z \leq 1$ ) あるいは $Al, In, As, Sb, P_{1-Z}$ 層 ( $0 \leq X \leq 1, 0 \leq Z \leq 1, 0 \leq Y \leq 1, 0 \leq Z+Y \leq 1$ ) を挿入することによりリーク電流を減少することが出来る。

【図4】



$b, As, P_{1-Y-Z}$ 層 ( $0 \leq W \leq 1, 0 \leq Z \leq 1, 0 \leq Y \leq 1, 0 \leq Z+Y \leq 1$ ) を挿入することによりリーク電流を減少することが出来る。

【0023】(実施例8) 実施例1または実施例2において、キャリア供給層151、152、15又はバッファ層12、121、122として、 $AlGaSb$ あるいは $GaSb$ あるいは $InP$ を用いた変調ドープ構造のFETにおいて、キャリア供給層又はバッファ層の中若しくはこれらの層に隣接して、 $Al, Ga, In, As, P_{1-Y-Z}$ 層 ( $0 \leq X \leq 1, 0 \leq Y \leq 1, 0 \leq Z \leq 1, 0 \leq Y+Z \leq 1$ ) を挿入することによりリーク電流を減少することが出来る。

【0024】

【図面の簡単な説明】

【図1】本発明の第一の実施例を示す。

【図2】本発明の第二の実施例を示す。

【図3】従来型の変調ドープ構造のFETを示す。

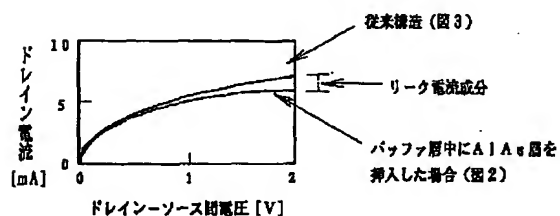
【図4】第一の実施例のゲートリーク電流とドレイン-ソース間電圧との関係を示す。

【図5】第二の実施例のドレイン電流とドレイン-ソース間電圧との関係を示す。

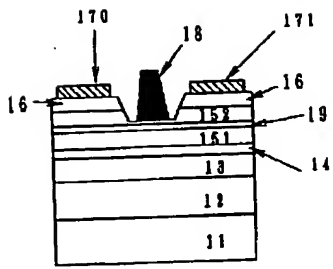
【符号の説明】

- 11 半絶縁性基板
- 12、120、121、122 バッファ層
- 13 チャンネル層
- 14 スペース層
- 15、150、151、152 キャリア供給層
- 16 コンタクト層
- 170 ソース電極
- 171 ドレイン電極
- 18 ゲート電極
- 19 エネルギー障壁層

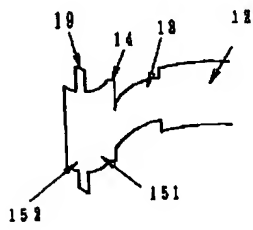
【図5】



【図1】

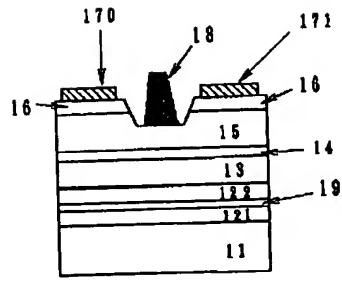


(a)

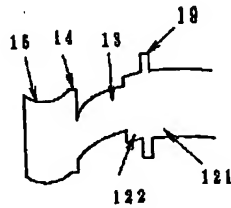


(b)

【図2】

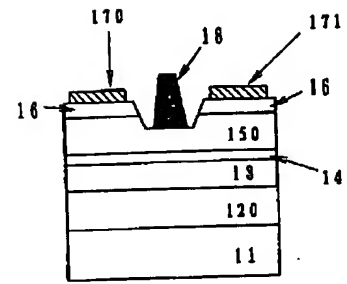


(a)

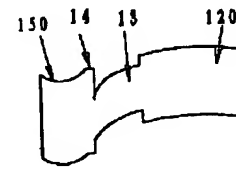


(b)

【図3】



(a)



(b)

